

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-260930

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H01L 21/82
G06F 17/50

(21)Application number : 10-082848

(71)Applicant : NEC KOFU LTD

(22)Date of filing : 13.03.1998

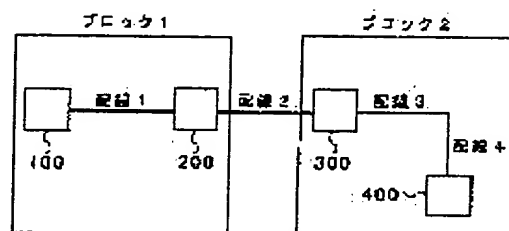
(72)Inventor : KOSHISHI SAKAE

(54) WIRING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent degradation of delay caused by an elongated wiring length, by giving a wiring between primitive blocks, each of which is closed within a block, a high priority in allotting a lower wiring layer having large wiring capacity, and by giving a wiring between the primitive blocks a high priority in allotting an upper wiring layer having small wiring capacity.

SOLUTION: A wiring 2 between a primitive block 200 and a primitive block 300 is given a high priority in allotting a wide first wiring layer because the wiring 2 is a lateral interblock wiring. A wiring 1 between a primitive block 100 and the primitive block 200 is given a high priority in allotting a narrow first wiring layer because the wiring 1 is a lateral intrablock wiring. Wirings 3 and 4 are given a high priority in allotting narrow first and second wiring layers because the wiring 3 is a lateral intrablock wiring and the wiring 4 is a longitudinal intrablock wiring.



LEGAL STATUS

[Date of request for examination] 13.03.1998
 [Date of sending the examiner's decision of rejection] 24.10.2000
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-260930

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁴

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

W

G 0 6 F 17/50

G 0 6 F 15/60

6 5 8 H

H 0 1 L 21/82

C

審査請求 有 請求項の数 6 F D (全 4 頁)

(21) 出願番号 特願平10-82848

(22) 出願日 平成10年(1998) 3月13日

(71) 出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72) 発明者 奥石 栄

山梨県甲府市大津町1088-3 甲府日本電

気株式会社内

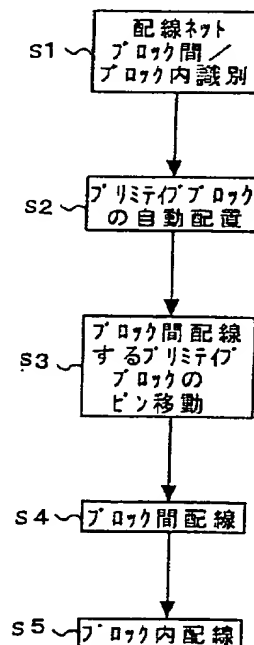
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 配線処理方法

(57) 【要約】

【課題】チップレイアウト工程において、配線長による遅延の悪化を抑え、ブロック間配線の配線長を短くし、さらにブロック内配線の配線性を向上する配線処理方法の提供。

【解決手段】ブロック内で閉じたプリミティブブロック間の配線には、配線容量が大きい下層の配線層を優先的に割り当て、ブロック間の配線では、配線容量の小さな上層の配線層を優先的に割り当てて自動配線すること、を特徴とする。また、本発明は、ブロック間配線の始点であるプリミティブブロックの端子を自動配線する配線層のグリッドに合うように前記プリミティブブロックの端子位置を改良する。



【特許請求の範囲】

【請求項1】LSIチップのレイアウト工程において、ブロック内の配線には、配線容量が大きい微細配線を優先的に割り当て、ブロック間の配線では、配線容量の小さな太幅配線を優先的に割り当てることで自動配線する、ことを特徴とする配線処理方法。

【請求項2】LSIチップのレイアウト工程において、ブロック内で閉じたプリミティブブロック間の配線には、配線容量が大きい下層の配線層を優先的に割り当て、ブロック間の配線では、配線容量の小さな上層の配線層を優先的に割り当てることで自動配線する、ことを特徴とする配線処理方法。

【請求項3】ブロック間配線の始終点であるプリミティブブロックの端子を自動配線する配線層のグリッドに合うように前記プリミティブブロックの端子位置を必要に応じて移動することで改良する、ことを特徴とする請求項1又は2記載の配線処理方法。

【請求項4】LSIチップのレイアウト工程において、ブロック内配線とブロック間配線とで配線層の重み付けを変え、該配線層の重み付け情報から、ブロック内で閉じたプリミティブブロック間の配線には、配線容量が大きい下層の配線層を優先的に割り当て、ブロック間の配線では、配線容量の小さな上層の配線層を優先的に割り当て、且つ、ブロック間配線の始終点であるプリミティブブロックの端子を、自動配線する配線層のグリッドに合うように前記プリミティブブロックの端子位置を移動修正する、ことを特徴とする配線処理方法。

【請求項5】ブロック内配線とブロック間配線とで配線層の重み付けを変え、

(a) 接続情報から全ネットをブロック内接続とブロック間接続とに分類する工程と、

(b) ブロック内のプリミティブブロックを接続情報を基に配置する工程と、

(c) 分類されたブロック間接続の始終点であるプリミティブブロックの端子を自動配線する配線層のグリッドに合うように、前記プリミティブブロックの端子位置を移動する工程と、

(d) 配線層に関する重み付け情報から、配線容量の小さな上層の配線層を優先的に割り当ててブロック間接続を行う工程と、

(e) 配線層に関する重み付け情報から、ブロック内で閉じたプリミティブブロック間の配線では、配線容量が大きい下層の配線層を優先的に割り当ててブロック内配線を行う工程、

を含むことを特徴とする配線処理方法。

【請求項6】LSIチップのレイアウト方式において、ブロック内で閉じたプリミティブブロック間の配線には、配線容量が大きい下層の配線層を優先的に割り当て、ブロック間の配線では、配線容量の小さな上層の配線層を優先的に割り当てて自動配線する手段と、

ブロック間配線の始終点であるプリミティブブロックの端子を自動配線する配線層のグリッドに合うように前記プリミティブブロックの端子位置を必要に応じて移動修正する手段と、

を備えたことを特徴とする配線処理方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に関し、特にLSIチップのレイアウト工程における配線処理方法及び方式に関する。

【0002】

【従来の技術】従来、LSIチップのレイアウト工程において、プリミティブブロック間の配線は、プリミティブブロックを配置した後、プリミティブブロックの端子と配線する他のプリミティブブロックの端子とをプリミティブブロックの下地に近い下の配線層から使用し、配線チャンネルが足りなくなった場合には上の配線層の配線チャンネルを使用していた。

【0003】

【発明が解決しようとする課題】このため、従来の配線処理方法においては、下の配線層は配線幅が細く、配線容量が大きいため、配線が長くなればなるだけ遅延の悪化率が大きくなり、遅延時間が増大する、という問題点を有している。

【0004】なお、半導体集積回路のチャンネル配線における配線容量の低減を図る配線構造として、例えば特開平9-181182号公報には、配線チャンネル領域の幹線方向および支線方向に複数の配線層を有する半導体集積回路の配線構造の幹線方向の複数層内における少なくとも2層の上下に隣接する配線層の配線トラックはそのトラック間隔の半分だけ幹線と直交する支線方向にずらした構成とし、幹線方向配線において各配線層は互いに重なり合うことがなくなり、配線容量を低減するようにした構成が提案されている。しかしながら、上記公報に提案されている配線構造は、専ら、配線層の間隔およびそのずらしを特徴としたものであり、後述する本発明の構成とは全く相違したものである。

【0005】したがって、本発明は、上記問題点を鑑みてなされたものであって、その目的は、チップレイアウト工程において、配線長による遅延の悪化を抑える配線処理方法及び方式を提供することにある。

【0006】また本発明の他の目的は、ブロック間配線の配線長を短くし、さらにブロック内配線の配線性を向上する配線処理方法及び方式を提供することにある。

【0007】

【課題を解決するための手段】前記目的を達成するため、本発明は、LSIチップのレイアウト工程において、ブロック内で閉じたプリミティブブロック間の配線には、配線容量が大きい下層の配線層を優先的に割り当て、ブロック間の配線では、配線容量の小さな上層の配

線層を優先的に割り当てて自動配線する、ことを特徴とする。また、本発明は、ブロック間配線の始終点であるプリミティブブロックの端子を自動配線する配線層のグリッドに合うように前記プリミティブブロックの端子位置を改良する。

【0008】

【発明の実施の形態】本発明の好ましい実施の形態について以下に説明する。本発明の配線処理方法は、その好ましい実施の形態において、LSIチップのレイアウト工程において、ブロック（マクロ）内に閉じたプリミティブブロック間の配線では、配線容量が大きい下の配線層を優先的に割り当て、ブロック（マクロ）間の配線では、配線容量の小さな上の配線層を優先的に割り当てて自動配線する。

【0009】また、本発明の配線処理方法は、その好ましい実施の形態において、ブロック（マクロ）間配線の始終点であるプリミティブブロックの端子を自動配線する配線層のグリッドに合うようにプリミティブブロックの端子位置を改良するようにしたものである。

【0010】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0011】LSIのチップレイアウトでは、同じブロック内に配置されるプリミティブブロック間を配線するブロック内配線と、異なるブロック内に配置されるプリミティブブロック間を配線するブロック間配線とに分けられる。

【0012】以下では、図1に示した概略図を用いて、本発明の一実施例を説明する。

【0013】図1を参照すると、LSIは、ブロック1とブロック2の2つのブロックで構成され、ブロック1内にはプリミティブブロック100とプリミティブブロック200が存在し、ブロック2内にはプリミティブ300とプリミティブ400とが存在する。またブロック1内に存在するプリミティブブロック100とプリミティブブロック200を配線するブロック内配線1、及びブロック2内に存在するプリミティブ300とプリミティブ400を配線するブロック内配線3とブロック内配線4、及びブロック1内に存在するプリミティブ200とブロック2内に存在するプリミティブ300を配線するブロック間配線2とで構成される。

【0014】図2は、本発明の一実施例を説明するための図であり、各配線層を、配線方向、配線幅、配線層の重み付けについて表形式でまとめたものである。図3は、本発明の一実施例の処理フローを説明するための流れ図である。図1乃至図3を参照して、本発明の一実施例の動作について説明する。

【0015】図2を参照すると、チップの配線層が第1層から第4層までで構成され、このうち、横軸配線は、

第1層、第3層で行い、縦軸配線は第2層、第4層で行われる。また第1層、第2層の配線幅は細幅配線であり、第3層、第4層は太幅配線である。

【0016】配線層の重み付けとしては、第1層、第2層はブロック内配線優先であり、第3層、第4層はブロック間配線優先である。

【0017】図3の流れ図を参照して、本発明の一実施例のLSIチップレイアウトの処理フローについて説明する。

10 【0018】接続情報から全ネットをブロック内接続とブロック間接続とに分類する（ステップS1）。

【0019】全プリミティブブロックを接続情報を基に配置する（ステップS2）。

【0020】ステップS1で分類されたブロック間接続の始終点であるプリミティブブロックの端子から第3層の配線層、または第4層の配線層に直接引き出し配線出来るように、プリミティブブロックの端子位置を概略配線、及び、配線層の重み付けから（図2参照）、第3層の配線層、または第4層の配線層のグリッドに改良移動する（ステップS3）。

20 【0021】配線層の重み付け（図2参照）からブロック間接続のみを行う（ステップ）S4）。

【0022】配線層の重み付け（図2参照）から、ブロック内配線のみを行う（ステップS5）。

【0023】図1乃至図3を参照して、ステップS3、S4、S5についてさらに説明する。

【0024】LSIチップレイアウトのプリミティブブロック間の配線を行うには、ステップS4、S5で、図2に示した配線層の重み付けの項に従って配線する。

30 【0025】プリミティブブロック200とプリミティブブロック300との配線2は、横軸方向の配線であり、且つ、ブロック間配線であるため、ステップS4で、第3層の配線層が優先的に割り当てられて配線する。

【0026】ステップS3で、プリミティブブロック200、及び、プリミティブブロック300の端子は第3層の配線層のグリッドに改良移動してあるため、第3層の配線層に直接引き出しが出来、且つ、第3層の配線層を優先的に使用した配線ができる。

40 【0027】プリミティブブロック100とプリミティブブロック200との配線1は、横軸方向の配線であり、且つ、ブロック内配線であるため、ステップS5で、第1層の配線層が優先的に割り当てられて配線する。

【0028】プリミティブブロック300とプリミティブブロック400との配線である配線3と配線4は、ブロック内配線であり、且つ、配線3は横軸配線、配線4は縦軸配線であることから、それぞれ、第1層と第2層の配線層が、ステップS5で優先的に割り当てられて配線される。

【0029】遅延は配線の配線幅が細い場合には、配線幅が太い場合と比べ、配線長による遅延の悪化率は大きくなる。

【0030】通常、LSIチップのレイアウトにおいて、同一ブロック内のプリミティブブロック間のそれぞれの配線長は、異なるブロック内のプリミティブブロック間のそれぞれの配線よりも配線長が短い。

【0031】このため、本実施例のように、配線長が長くなるブロック間配線を優先的に配線幅の太い配線層に割り当てることにより、配線長による遅延の悪化率を抑えることが出来る。

【0032】またブロック間配線の始終点であるプリミティブブロックの端子位置を、ブロック間配線に割り当てた配線層のグリッドに合わせることで、ブロック間配線の配線長を短くすることが可能であり、且つ、ブロック内配線の配線チャンネルを使用しないため、ブロック内配線の配線性も向上させる事が出来る。

【0033】

【発明の効果】以上説明したように、本発明によれば下記記載の効果を奏する。

*【0034】本発明の第一の効果は、配線長が長くなるブロック間配線を優先的に配線幅の太い配線層に割り当てることにより、配線長による遅延の悪化を抑えることができる、ということである。

【0035】本発明の第二の効果は、ブロック間配線の始終点であるプリミティブブロックの端子位置を、ブロック間配線に割り当てた配線層のグリッドに合わせることで、ブロック間配線の配線長を短くすることが可能であり、且つ、ブロック内配線の配線チャンネルを使用しないために、ブロック内配線の配線性を向上させることが出来る、ということである。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するためのレイアウト概略図である。

【図2】本発明の一実施例を説明するための図である。

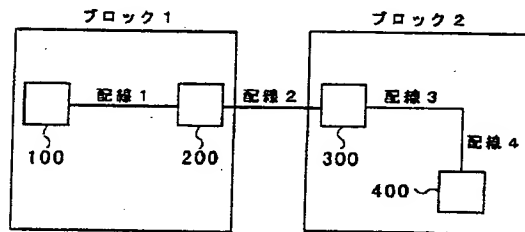
【図3】本発明の一実施例の処理フローを説明するための流れ図である。

【符号の説明】

100、200、300、400 プリミティブブロック

*20 ク

【図1】



【図2】

配線層	配線方向	配線幅	配線層の 割り付け
第4層	縦向き配線	太幅配線	ブロック間配線 優先
第3層	横向き配線	太幅配線	ブロック間配線 優先
第2層	縦向き配線	細幅配線	ブロック内配線 優先
第1層	横向き配線	細幅配線	ブロック内配線 優先

【図3】

